

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-075935  
 (43)Date of publication of application : 18.04.1986

(51)Int.Cl. G06F 11/22

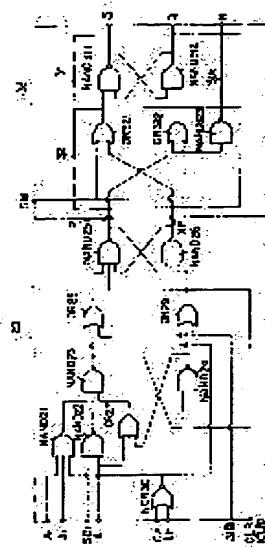
(21)Application number : 59-198353 (71)Applicant : FUJITSU LTD  
 (22)Date of filing : 21.09.1984 (72)Inventor : MAEBAYASHI MASATO  
 NISHIMURA KOSUKE

## (54) SCAN FLIP-FLOP SYSTEM

### (57)Abstract:

**PURPOSE:** To prevent the effect of output change of each FF group to other units in a scan mode by using an output means containing a selector circuit and a latch circuit.

**CONSTITUTION:** An output means 33 has a latch circuit 31 and a selector circuit 32. The circuit 32 applies the output of an FF group 20 to the circuit 31 as it is in a clock mode where a normal logical operation is performed and outputs the value corresponding to the output of the group 20. While in a scan mode the delivery of the output of the group 20 is cut to the circuit 31. Thus the circuit 31 holds the output value of the group 20 obtained before the scan mode. At the same time, the circuit 31 outputs a scan data output SDo corresponding to a scan data input SDi.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開  
⑯ 公開特許公報 (A) 昭61-75935

⑯ Int.Cl.<sup>4</sup>  
G 06 F 11/22

識別記号 庁内整理番号  
7368-5B

⑯ 公開 昭和61年(1986)4月18日

審査請求 未請求 発明の数 1 (全6頁)

⑯ 発明の名称 スキャンフリップ・フロップ方式

⑯ 特 願 昭59-198353  
⑯ 出 願 昭59(1984)9月21日

⑯ 発明者 前林 正人 川崎市中原区上小田中1015番地 富士通株式会社内  
⑯ 発明者 西村 孝介 川崎市中原区上小田中1015番地 富士通株式会社内  
⑯ 出願人 富士通株式会社 川崎市中原区上小田中1015番地  
⑯ 代理人 弁理士 松岡 宏四郎

明細書

1. 発明の名称

スキャンフリップ・フロップ方式

2. 特許請求の範囲

クロックモードとスキャンモードを備え、クロックモード時には通常の回路装置としての動作を行い、スキャンモード時には回路装置の各フリップ・フロップ群をシリアルに接続してスキャン・イン及びスキャン・アウトを行う回路装置のスキャンフリップ・フロップ方式において、各フリップ・フロップ群の出力値を保持するラッチ手段と、クロックモード時にはフリップ・フロップ群の出力をそのラッチ手段に供給し、スキャンモード時にはフリップ・フロップ群の出力がそのラッチ手段に供給されるのを遮断し、かつ、フリップ・フロップ群の出力をスキャンデータとして出力するセレクタ手段を各フリップ・フロップ群に備えたことを特徴とするスキャンフリップ・フロップ方式。

3. 発明の詳細な説明

【発明の技術分野】

本発明は、LSIのように、論理ゲートの他に多数のフリップ・フロップを備えた回路装置において、これら多数のフリップ・フロップの内容を読み取ったり診断したりするため、回路装置をスキャンモードにしたとき、各フリップ・フロップをシリアルに接続して任意の値を各フリップ・フロップにスキャン・インあるいは任意のフリップ・フロップの状態をスキャン・アウトするスキャンフリップ・フロップ方式に関する。

【従来技術と問題点】

LSIやプリント回路のように、論理ゲートの他に多数のフリップ・フロップ(以下F・Fと略記する)を備えた回路装置においては、これら多数のF・Fの内容を読み取ることがしばしば行われる。特に障害が発生した場合には、診断のために、各F・Fに所望する任意の値をセットしたり、あるいは任意のF・Fの状態を読みだすことが行われる。その場合、各F・Fをシリアルに接続して任意の値を各F・Fにスキャン・インあるいは

任意のF・Fの状態をスキャン・アウトするスキャンF・F方式が用いられる。

第3図は、従来のスキャンF・F方式を示したものである。図において、UNITAはフリップ・フロップ群G<sub>a1</sub>、G<sub>a2</sub>、G<sub>a3</sub>を有する回路装置、UNITBはゲートやフリップ・フロップからなる回路群G<sub>b1</sub>、G<sub>b2</sub>等からなる回路装置である。UNITAのF・F群G<sub>a1</sub>は2個のF・F11とF・F12が直列に接続され、その出力すなわちF・F12のQ出力がUNITBの回路群G<sub>b1</sub>に供給される。同じくF・F群G<sub>a2</sub>は2個のF・F13とF・F14が直列に接続され、F・F14のQ出力がUNITBの回路群G<sub>b2</sub>に供給される。F・F群G<sub>a3</sub>は3個のF・F15、F・F16及びF・F17が直列に接続され、F・F17のQ出力はUNITBは加えられるとともに、スキャンモード時はスキャンデータ出力SD<sub>0</sub>としてスキャン・アウトされる。CLKは各F・Fに対するクロック信号、SD<sub>i</sub>はスキャンモード時にスキャン・インされるスキ

ャンデータ入力、ACLK及びBCLKはスキャンモード時に各F・FをスキャンするためのAクロック信号及びBクロック信号、SiはF・F11～17のスキャン入力端、Dは各F・Fのデータ入力端である。

この構成において、UNITA及びUNITBの通常の回路装置としての動作モード（クロックモード）のときは、CLKにより各F・Fが同期制御され、F・F群G<sub>a1</sub>、G<sub>a2</sub>、G<sub>a3</sub>の出力がUNITBに供給される。

各F・Fの状態を診断するスキャンモード時には、図に点線で示すようにF・F群G<sub>a1</sub>、G<sub>a2</sub>及びG<sub>a3</sub>がシリアルに接続される。F・F群G<sub>a1</sub>のF・F11のF・Fスキャン入力端Siにスキャンデータ入力SD<sub>i</sub>がスキャン・インされると、CLKの代りにACLK及びBCLKによりスキャンデータ入力SD<sub>i</sub>はF・F11、F・F12、F・F13、F・F14、F・F15、F・F16、F・F17と順次シフトされてF・F17のQ出力からスキャンデータSD<sub>0</sub>がス

キャン・アウトされる。このスキャンデータ出力SD<sub>0</sub>を読み取ることにより各F・F群の全てのF・Fの状態を知ることができる。

この従来のスキャンF・F方式では、スキャン・イン及びスキャン・アウトを実行するとき、スキャンデータ入力SD<sub>i</sub>が各F・Fをシフトする過程において各F・Fの値はランダムに変化する。このため、各F・F群の出力信号を受けているUNITBはUNITAのスキャンモード時のランダムな出力により誤動作を生じる危険があった。そこで従来は、UNITAの出力を受けるユニットやシステムの受け側において誤動作防止の論理を組み込むか、またはUNITBに対し信号を出力するF・Fをスキャンループよりはずしていた。しかしながら、このような誤動作防止の論理回路は複雑であり、かつスキャンモードに移行するとスキャンモードに入る前の各F・F群の出力を読み取ることができなくなるという不都合があった。

（発明の目的）

本発明の目的は、従来のスキャンF・F方式の欠点を除去し、誤動作防止論理回路を用いない簡単な回路構成により、スキャンモード時における各F・F群の出力変化が他のユニットやシステムに伝播するのを阻止するとともに、各F・Fのスキャン動作中であっても、スキャンモードに移行する前の各F・F群の出力値を読み取ること可能にしたスキャンF・F方式を提供するにある。

（発明の構成）

本発明は、前記目的を達成するために、クロックモードとスキャンモードを備え、クロックモード時には通常の回路装置としての動作を行い、スキャンモード時には回路装置の各フリップ・フロップ群をシリアルに接続してスキャン・イン及びスキャン・アウトを行う回路装置のスキャンフリップ・フロップ方式において、各フリップ・フロップ群の出力値を保持するラッチ手段と、クロックモード時にはフリップ・フロップ群の出力をそのラッチ手段に供給し、スキャンモード時にはフリップ・フロップ群の出力がそのラッチ手段に供

給されるのを遮断し、かつ、フリップ・フロップ群の出力をスキャンデータとして出力するセレクタ手段を各フリップ・フロップ群に備えたことを特徴とする。

## 【発明の実施例】

本発明の実施例を図面に基づいて説明する。第1図は本発明の一実施例の説明図、第2図は第1図の動作波形図を示したものである。

第1図において、点線で囲まれた20はF・F群の1つを代表して示したもので、 NANDゲート NAND21～NAND26及びオアゲート OR27～OR29及びノアゲート NOR30よりなりその構成は公知のものである。同じく点線で囲まれた33は本発明に係る出力手段で、ラッチ回路31及びセレクタ回路32を有している。ラッチ回路31は NANDゲート NAND311及びNAND312からなり、各 NANDゲートの一方の入力端にはセレクタ回路32の出力が入力され、他方の入力端には互いに他の NANDゲートの出力が入力される。NAND311及びNAND312

の出力側は出力手段33の出力端Q及びQに接続される。

セレクタ回路32はオアゲート OR321、OR322及び NANDゲート NAND323からなる。OR321及び322の一方の入力端にはF・F群20の出力P及びPが入力され、他方の入力端にはスキャンモード信号SMが入力される。OR322の一方の入力端の信号はなわちF・F群20の出力Pは NAND323に入力され、NAND323の出力SD。はスキャンデータ出力端Rに接続される。スキャンモード信号SMはスキャンモード時はHIGHレベルにセットされ、それ以外の動作モードではLOWレベルにセットされる。

次に第1図の動作について説明する。第1図におけるF・F群20の動作は公知であり、かつその動作内容は本発明の動作の理解に特に必要ではないので、下表に、クリアモード、通常の動作モードであるクロックモード及びスキャンモードの三者の真理値表を示し、その詳細な動作説明は省

略する。

表

CLR	CK	IH	A1	A2	A	B	SDI	P	XP	モード
0	x	x	x	x	x	x	x	L	H	CLEAR
1	f	0	1	1	0	0	x	H	L	
1	f	0	いづれか少なくとも一方が0。		0	0	x	L	H	CLOCK
1	1	0	x	x	0	0	x	Po	Po	
1	x	1	x	x	几	U	0	L	H	
1	x	1	x	x	几	U	1	H	L	SCAN
1	x	1	x	x	x	x	x	Po	Po	

前記表及びF・F群20において、CLRはクリア入力、CKはクロック、IHはクロックCKの供給を制御するインヒビット信号、A1及びA2はクロックモード時にF・F群の出力状態を希望の値にセットする制御信号、A及びBはスキャンモード時にシリアルに接続された各F・Fを順

次シフトさせるAクロック及びBクロック、SDIはスキャンモード時にスキャン・インされるスキャンデータ入力、Po及びXPはF・F群20の出力で互いに反転関係にある。また、表中に示されている“1”は入力HIGHレベルを、“0”は入力LOWレベルを、“x”は“1”又は“0”レベルを、“H”は出力HIGHレベルを、“L”は出力LOWレベルを、几は正パルスを、Uは負パルスを、fは立上りを、PoとPoは1クロック前のデータをそれぞれ示す。

前記表から明らかなように、F・F群20の出力Pは、スキャンモード時にはスキャンデータ入力SDIがA、BクロックによってF・Fをシフトする過程においてランダムに変化する。このため、F・F群20に接続される図示しないユニットやシステムに誤動作を生じさせる危険のあることは、先に従来技術の欠点として述べたとおりである。

本発明は、ラッチ回路31及びセレクタ回路32を備えた出力手段33を設けることによりこの

問題を解決したもので、以下出力手段33の動作を、第2図の動作波形図に基づいて説明する。

通常の動作を行うクロックモード時には、セレクタ回路32のスキャンモード信号SMはLOWレベルにセットされるので、F・F群20の出力PはOR322を通ってラッチ回路31のNAND312に加えられ、同じく出力XPはOR321を通ってラッチ回路31のNAND311に加えられる。ラッチ回路31のNAND311及び312はそれぞれの入力の反転信号を出力するので、その出力Q, Qはセレクタ回路32に加えられるP, XPの反転出力となる。F・F群20にデータDa, Db等が入力されると、クロックCKに同期してそのデータに対応した出力Q, Qが出力手段から出力され、図示しないユニットやシステム等に供給される。クロックモード時は、A及びBクロックはLOWレベルに設定される。またスキャンデータ入力SDiは利用されないのでその内容を特定する必要はない。

次に、スキャンモード時は、出力手段33のス

キャンデータSDの出力端Rを図示しない次段のF・F群のスキャンデータ入力SDiの入力端に接続することにより、各F・F群を構成するF・Fを第3図のUNITA側に点線で示したと同様にシリアルに接続する。クロックCKの代りにAクロック及びBクロックを第2図に示す位相でシリアル接続された各F・Fに加えることにより、最初のF・F群に加えられたスキャンデータ入力SDiが各F・Fを順次シフトされて最終のF・F群からスキャンデータ出力SDとして出力される。この場合、各F・F群における出力手段33の動作は共通であるので、第1図に示した出力手段33を例にとって、その動作を説明する。

スキャンモード時には、セレクタ回路32のスキャンモード信号SMはHIGHレベルにセットされる。そうすると、F・F群20の出力P, XPの値に関係なくラッチ回路31のNAND311及び312にはHIGHレベルが入力されるので、ラッチ回路31の状態は変化せず、スキャンモードに移行する前のF・F群20の出力P, X

PすなわちデータDbの値を保持する（第2図点線部分参照）。一方、F・F群20の出力Pの反転出力がスキャンデータSDがNAND323より出力される。スキャンデータ入力SDi（第2図のSDi1, SDi2, SDi3等）がF・F群20に入力されると、このデータ入力SDiはAクロック及びBクロックにより各F・Fを順次シフトして出力Pとなり、さらに出力手段33のスキャンデータSDとして出力される。

このように、セレクタ回路32は、通常の論理動作を行うクロックモード時には、F・F群20の出力をラッチ回路31にそのまま加えて、F・F群20の出力に対応した値を出力させ、スキャンモード時には、F・F群20の出力がラッチ回路に入るのを遮断してラッチ回路にスキャンモード移行前のF・F群20の出力値を保持させるとともに、スキャンデータ入力SDiに対応したスキャンデータ出力SDを出力させる。このスキャンデータ出力SDを読み取ることにより、シリアルに接続された各F・Fの状態を診断するこ

とができる。

なお、出力手段33の出力Q, Q及びSDとして、入力されたP, XPを反転した値の代りに非反転出力を取り出すようにしてもよく、またセレクタ回路及びラッチ回路は、図示のものに限定されるものではない。

#### 〔発明の効果〕

以上説明したように、本発明によれば、簡単な構成のセレクタ回路及びラッチ回路を備えた出力手段を設けることにより、通常の動作モード時にはF・F群の出力がそのまま出力手段から出力され、スキャンモード時にはF・F群の出力が出力手段から出力されるのを阻止して、スキャン動作によりF・F群の出力がランダムに変化しても出力手段はスキャンモード移行前のF・F群の出力値を保持してスキャンモード時の他ユニットやシステムへの入力をスキャンモード移行前の値に保証し、これらが誤動作するのを阻止することができる。さらに、出力手段に保持された値を読み取ることにより、スキャンモード動作中でもスキャ

ンモード移行前の各 F・F 群の出力を取り出すことができる。

#### 4. 図面の簡単な説明

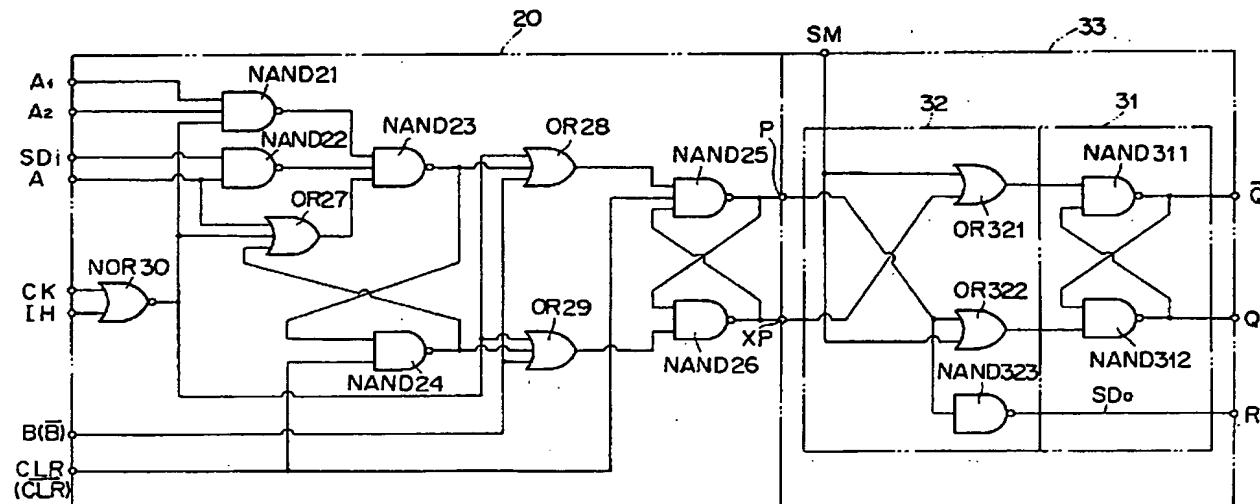
第1図は本発明の一実施例の説明図、第2図は第1図の動作波形図、第3図は従来のスキャンフリップ・フロップ方式の説明図である。

F・F11～F・F17……フリップ・フロップ、20……フリップ・フロップ (F・F) 群、NAND21～NAND26…… NANDゲート、OR27～OR29……オアゲート、NOR30……ノアゲート、31……ラッチ回路、32……セレクタ回路、33出力手段、NAND311～NAND312…… NANDゲート、OR321～OR322……オアゲート、NAND323…… NANDゲート、SM……スキャンモード信号。

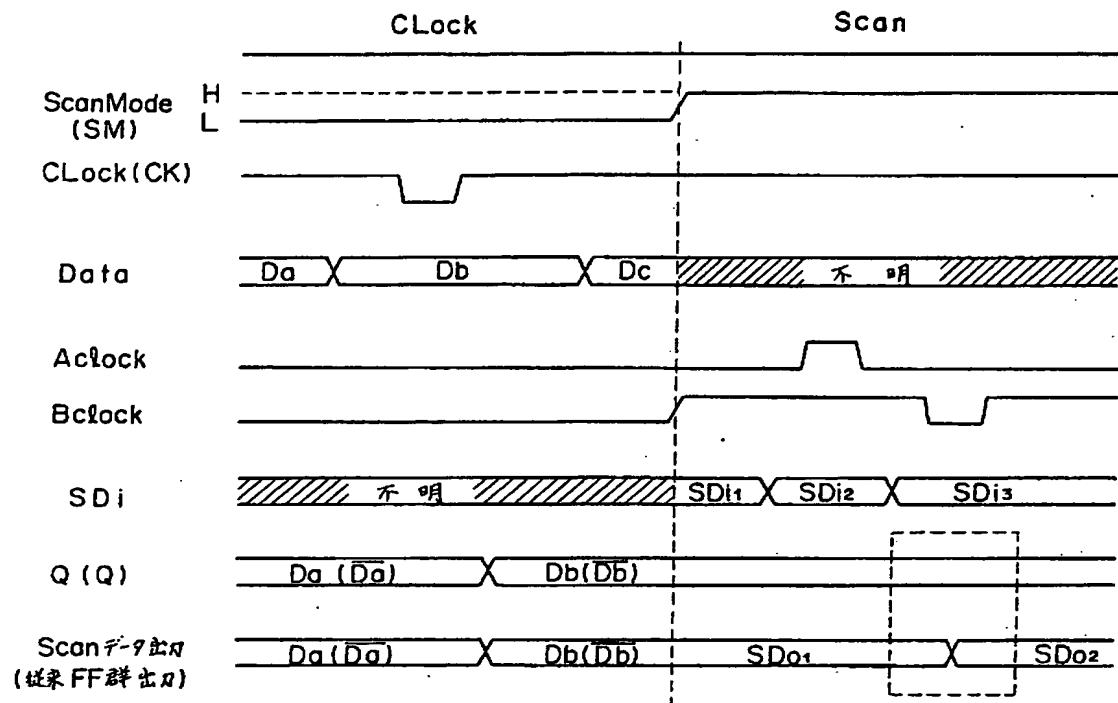
特許出願人 富士通株式会社

代理人 松岡 宏四郎

第1図



第2図



第3図

